

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kei MURAYAMA**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **January 5, 2004**

For: **SEMICONDUCTOR DEVICE MANUFACTURING METHOD**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: January 5, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-007461, filed January 15, 2003

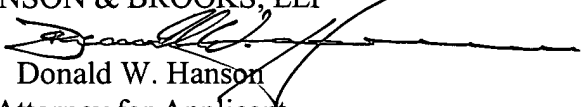
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP


Donald W. Hanson
Attorney for Applicant
Reg. No. 27,133

DWH/jaz
Atty. Docket No. **031353**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月15日
Date of Application:

出願番号 特願2003-007461
Application Number:

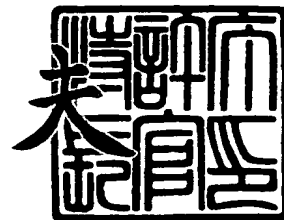
[ST. 10/C]: [JP 2003-007461]

出願人 新光電気工業株式会社
Applicant(s):

2003年12月15日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3104039



【書類名】 特許願

【整理番号】 14-216

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60
H01L 21/46
H01L 21/88

【発明の名称】 半導体装置の製造方法

【請求項の数】 11

【発明者】
【住所又は居所】 長野県長野市大字栗田字舍利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 村山 啓

【特許出願人】
【識別番号】 000190688
【氏名又は名称】 新光電気工業株式会社

【代理人】
【識別番号】 100091672
【住所又は居所】 東京都中央区日本橋人形町 3 丁目 1 1 番 7 号
山西ビル 4 階

【弁理士】
【氏名又は名称】 岡本 啓三
【電話番号】 03-3663-2663

【手数料の表示】
【予納台帳番号】 013701
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1



【物件名】 要約書 1

【包括委任状番号】 9816048

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 素子形成面に接続パッドを備えた半導体基板を用意する工程と、

前記半導体基板の上に、前記接続パッドを被覆するシード金属膜を形成する工程と、

前記接続パッドに対応する前記シード金属膜の領域上に、所定部に開口部を有するパターン状のバンプ用金属膜を形成する工程と、

前記バンプ用金属膜をマスクにして、前記バンプ用金属膜の開口部の下の前記シード金属膜、前記接続パッド及び前記半導体基板を順次エッチングすることにより、前記バンプ用金属膜の開口部に連通し、かつ前記半導体基板の背面まで貫通するスルーホールを形成する工程と、

前記半導体基板の背面を研削することにより、該半導体基板の厚みを薄くする工程と、

前記半導体基板の厚みを薄くする工程の前又は後に、前記スルーホールの側面の少なくとも前記半導体基板を被覆する絶縁膜を選択的に形成する工程と、

前記シード金属膜及び該シード金属膜に接続された前記バンプ用金属膜をめっき給電層に利用した電解めっきにより、前記バンプ用金属膜の開口部及び前記スルーホール内に導電膜を形成して、前記バンプ用金属膜に接続されると共に、前記半導体基板の背面側に接続端子が露出する貫通配線とする工程と、

前記バンプ用金属膜をマスクにして前記シード金属膜をエッチングすることにより、金属バンプを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 素子形成面に接続パッドを備えた半導体基板を用意する工程と、

前記半導体基板の上に、前記接続パッドを被覆するシード金属膜を形成する工程と、

前記接続パッドに対応する前記シード金属膜の領域上に、所定部に開口部を有

するパターン状のバンプ用金属膜を形成する工程と、

前記バンプ用金属膜をマスクにして、前記バンプ用金属膜の開口部の下の前記シード金属膜及び前記接続パッドをエッチングし、次いで、前記半導体基板を厚みの途中までエッチングすることにより、前記バンプ用金属膜の開口部に連通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

前記半導体基板の背面を研削することにより、前記半導体基板の厚みを薄くすると共に、前記孔を露出させてスルーホールとする工程と、

前記スルーホールの側面の少なくとも前記半導体基板を被覆する絶縁膜を選択的に形成する工程と、

前記シード金属膜及び該シード金属膜に接続された前記バンプ用金属膜をめっき給電層に利用した電解めっきにより、前記バンプ用金属膜の開口部及び前記スルーホール内に導電膜を形成して、前記バンプ用金属膜に接続されると共に、前記半導体基板の背面側に接続端子が露出する貫通配線とする工程と、

前記バンプ用金属膜をマスクにして前記シード金属膜をエッチングすることにより、金属バンプを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3】 素子形成面に接続パッドを備えた半導体基板を用意する工程と、

前記半導体基板の上に、前記接続パッドを被覆するシード金属膜を形成する工程と、

前記接続パッドに対応する前記シード金属膜の領域上に、所定部に開口部を有するパターン状のバンプ用金属膜を形成する工程と、

前記バンプ用金属膜をマスクにして、前記バンプ用金属膜の開口部の下の前記シード金属膜及び前記接続パッドをエッチングし、次いで、前記半導体基板を厚みの途中までエッチングすることにより、前記バンプ用金属膜の開口部に連通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

前記孔の側面の少なくとも前記半導体基板を被覆する絶縁膜を選択的に形成する工程と、

前記シード金属膜及び該シード金属膜に接続された前記バンプ用金属膜をめっ

き給電層に利用した電解めっきにより、前記バンプ用金属膜の開口部及び前記孔内に導電膜を形成する工程と、

前記半導体基板の背面を、前記孔内に形成された導電膜が露出するまで研削することにより、前記バンプ用金属膜に接続されると共に、前記半導体基板の背面側に接続端子が露出する貫通配線とする工程と、

前記バンプ用金属膜をマスクして前記シード金属膜をエッチングすることにより、金属バンプを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 前記パターン状のバンプ用金属膜を形成する工程は、

前記接続パッドに対応する前記シード金属膜の領域上に、開口部と該開口部内の所定部に配置された島状パターンとを備えたマスク層を前記シード金属膜上に形成する工程と、

前記マスク層の開口部に前記シード金属膜をめっき給電層に利用した電解めっき、又は無電解めっきにより前記バンプ用金属膜を形成する工程と、

前記マスク層の島状パターンを選択的に除去することにより、前記バンプ用金属膜の開口部を露出させる工程とを含み、

前記金属バンプを形成する工程の前に、前記マスク層を除去する工程をさらに有することを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 5】 前記絶縁膜を選択的に形成する工程は、

前記半導体基板の素子形成面に、少なくとも前記バンプ用金属膜の開口部を充填する保護フィルムを貼着する工程と、

前記スルーホールの側面及び前記バンプ用金属膜の開口部に充填された保護フィルムの下面に絶縁膜を形成する工程と、

前記保護フィルムを前記半導体基板から剥離することにより、前記保護フィルムの下面に形成された絶縁膜をリフトオフして、前記スルーホールの側面の半導体基板に前記絶縁膜を選択的に残す工程とを含むことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 6】 前記絶縁膜を選択的に形成する工程は、

前記バンプ用金属膜の開口部及び前記孔内を被覆する絶縁膜を形成する工程と

、
少なくとも前記孔を充填し、かつ前記バンプ用金属膜の開口部を露出させるマスク層を形成する工程と、

前記マスク層をマスクにして前記絶縁膜をエッチングすることにより、前記孔の側面の半導体基板に前記絶縁膜を選択的に残す工程と、

前記マスク層を除去する工程とを含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 7】 前記バンプ用金属膜は、金膜、銅膜、はんだ膜、及びニッケル膜／金膜の積層膜の群から選択されるいずれかであることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置の製造方法。

【請求項 8】 前記半導体基板を研削する工程において、前記半導体基板の厚みを $150\mu\text{m}$ 程度以下にすることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 9】 前記孔を形成する工程において、前記孔の深さが $150\mu\text{m}$ 程度以下になるように前記半導体基板をエッチングすることを特徴とする請求項 2 又は 3 に記載の半導体装置の製造方法。

【請求項 10】 前記貫通配線は、前記バンプ用金属膜の開口部及び前記スルーホールに充填されて形成されることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 11】 前記貫通配線は、前記バンプ用金属膜の開口部及び前記スルーホールの中央部に空洞が設けられた状態で形成されることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に係り、より詳しくは、素子形成面側の接続端子と背面側の接続端子とを導通させる貫通配線を備えた半導体装置の製造方法に関する。

【0002】**【従来の技術】**

近年、実装技術の高密度化の要求から、配線基板上に複数の半導体チップを3次元次的に積層して実装した実装構造が開発されている。このような実装構造を得る方法としては、半導体チップの素子形成面側の接続端子と背面側の接続端子とを半導体チップを貫通する貫通配線で接続し、この半導体チップを配線基板上に複数積層して相互接続する方法がある。

【0003】

従来技術に係る半導体チップに貫通配線を形成する方法は、図9(a)に示すように、まず、所定のトランジスタや多層配線(不図示)などが形成され、厚みが400 μ m程度の半導体ウェハ100を用意する。この半導体ウェハ100の上面には接続パッド102が露出していて、接続パッド102以外の部分はパシベーション膜104で被覆されている。

【0004】

その後、図9(b)に示すように、接続パッド102及びパシベーション膜104上に接続パッド102の中央部に開口部を有するレジスト膜(不図示)をパターンニングする(マスク工程1)。

【0005】

次いで、このレジスト膜をマスクにして、RIE(Reactive Ion Etching)などにより接続パッド102とその下の半導体ウェハ100を順次エッチングする。これにより、半導体ウェハ100にその素子形成面から背面に貫通するスルーホール100aが形成される。

【0006】

続いて、図9(c)に示すように、スルーホール100aの内面、接続パッド102及びパシベーション膜104上にシリコン酸化膜などの絶縁膜106をCVDなどにより形成する。この絶縁膜106はスルーホール100a内に後で充填される導電膜と半導体ウェハ100との間を電氣的に絶縁するために形成される。

【0007】

次いで、同じく図9(c)に示すように、リング状に加工された接続パッド102の主要部に対応する部分に開口部108aを有するドライフィルムレジスト膜108を絶縁膜106上に形成する(マスク工程2)。続いて、このドライフィルムレジスト膜108をマスクにして絶縁膜106をエッチングした後に、ドライフィルムレジスト膜108を除去する。これにより、図9(d)に示すように、スルーホール100aの内面に絶縁膜106が残されると共に、リング状の接続パッド102が露出する。

【0008】

続いて、図10(a)に示すように、図9(d)の構造体の上にシードCu膜110を無電解めっきやスパッタ法により形成した後に、スルーホール100a及び接続パッド102上に開口部112aを有するレジスト膜112を形成する(マスク工程3)。

【0009】

その後、シードCu膜110をめっき給電層に利用した電解めっきにより、スルーホール100a内及びレジスト膜112の開口部112aにCu膜パターン114を形成する。さらに、図10(b)に示すように、レジスト膜112を除去した後に、Cu膜パターン114をマスクにしてシードCu膜110をエッチングする。これにより、接続パッド102に電氣的に接続されたCuバンプ114aとそれに繋がるCuプラグ114bとが形成される。

【0010】

次いで、図10(c)に示すように、半導体ウェハ100の背面をグラインダーで研削することにより、半導体ウェハ100の厚みを薄くする。このとき、半導体ウェハ100とそのスルーホール100aに充填されたCuプラグ114bとが同時に研削される。これにより、半導体ウェハ100の背面側のCuプラグ114bの先端部が背面側の接続端子114cとなる。このようにして、半導体ウェハ100の素子形成面側の接続パッド102及びそれに接続されたCuバンプ114aは、スルーホール100aを介して背面側の接続端子114cに接続される。

【0011】

その後、半導体ウェハ100をダイシングすることにより、個々の半導体チップを得る。

【0012】

また、例えば、特許文献1、2、3及び4には、複数の半導体チップを3次元的に積層して実装するために、半導体チップにその素子形成面側の接続端子と背面側の接続端子とを接続するための貫通配線を設けることが記載されている。

【0013】

【特許文献1】

特開昭59-222954号公報

【特許文献2】

特開昭63-156348号公報

【特許文献3】

特開昭61-88546号公報

【特許文献4】

特開2000-286304号公報

【0014】

【発明が解決しようとする課題】

しかしながら、上記した従来技術の製造方法では、マスク工程が3回（マスク工程1～3）必要であることから、プロセスが複雑になって製造歩留りが低下するばかりではなく、製造コストの上昇を招く恐れがある。また、スルーホール及びCuバンプをそれぞれ個別のマスク工程で形成するようにしているので、各マスク工程での位置ずれを考慮する必要がある。このため、上記したような構成のバンプ、接続パッド及びスルーホールをより微細化して形成する場合においては、位置ずれによって所望の構造を得るのが困難になる場合がある。

【0015】

さらには、上記した従来技術では、半導体ウェハ100の背面を研削する際に、スルーホール100aに充填されたCuプラグ114bと半導体ウェハ100とを同時に研削する必要がある。

【0016】

このとき、研削されるCuプラグ114bが半導体ウェハ100の研削面に延びてCuプラグ114b同士が電氣的にショートしたり、Cu研削片が研削装置の研削ホイール（砥石）に目詰まりして上手く研削できなかつたりすることがある。このように、従来技術では、特別な研削装置を必要とするため、膨大な設備投資が必要となり、製造コストの上昇を招く恐れがある。

【0017】

なお、特許文献1、2、3及び4には、接続パッド及びバンプに接続される貫通配線を備えた半導体チップを製造する際における上記したような課題については何ら考慮されていない。

【0018】

本発明は以上の課題を鑑みて創作されたものであり、素子形成面側の接続端子と背面側の接続端子とがスルーホールを介して接続された構造を有する薄型の半導体装置を、何ら不具合が発生することなく製造することができる半導体装置の製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】

上記課題を解決するため、本発明は半導体装置の製造方法に係り、素子形成面に接続パッドを備えた半導体基板を用意する工程と、前記半導体基板の上に、前記接続パッドを被覆するシード金属膜を形成する工程と、前記接続パッドに対応する前記シード金属膜の領域上に、所定部に開口部を有するパターン状のバンプ用金属膜を形成する工程と、前記バンプ用金属膜をマスクにして、前記バンプ用金属膜の開口部の下の前記シード金属膜、前記接続パッド及び前記半導体基板を順次エッチングすることにより、前記バンプ用金属膜の開口部に連通し、かつ前記半導体基板の背面まで貫通するスルーホールを形成する工程と、前記半導体基板の背面を研削することにより、該半導体基板の厚みを薄くする工程と、前記スルーホールの側面の少なくとも前記半導体基板を被覆する絶縁膜を選択的に形成する工程と、前記シード金属膜及び該シード金属膜に接続された前記バンプ用金属膜をめっき給電層に利用した電解めっきにより、前記バンプ用金属膜の開口部及び前記スルーホール内に導電膜を形成して、前記バンプ用金属膜に接続される

と共に、前記半導体基板の背面側に接続端子が露出する貫通配線とする工程と、前記バンプ用金属膜をマスクにして前記シード金属膜をエッチングすることにより、金属バンプを形成する工程とを有することを特徴とする。

【0020】

本発明の一つの好適な態様では、まず、半導体基板の接続パッドに対応するシード金属膜の領域上に、中央部に開口部を有するリング状などのバンプ用金属膜（Au膜やCuなど）がパターンニングされる。

【0021】

この工程は、例えば、接続パッドに対応するシード金属膜の領域上にリング状の開口部を有するマスク層が形成された後に、シード金属膜をめっき給電層に利用した電解めっき、又は無電解めっきによりマスク層の開口部にリング状のバンプ用金属膜が形成される。その後に、バンプ用金属膜の開口部の島状のマスク層の部分がレーザなどにより選択的に除去されてバンプ金属膜の開口部が露出する。このバンプ用金属膜の開口部によりスルーホールを形成する部分が画定される。

【0022】

その後、バンプ用金属膜をマスクにして、その開口部の下のシード金属膜、接続パッド及び半導体基板が順次エッチングされて半導体基板を貫通するスルーホールが形成される。次いで、半導体基板の背面が研削されて $150\mu\text{m}$ 程度以下に薄型化される。この工程では、半導体基板を貫通しない所定深さの孔を形成した後に、半導体基板の背面を研削して孔を露出させてスルーホールとしてもよい。

【0023】

次いで、スルーホールの側面の半導体基板を被覆する絶縁膜が選択的に形成される。続いて、シード金属膜及びそれに接続されたバンプ用金属膜をめっき給電層に利用した電解めっきにより、バンプ用金属膜の開口部及びスルーホール内に貫通配線が形成される。その後に、バンプ用金属膜をマスクにしてシード金属膜がエッチングされて金属バンプが得られる。

【0024】

このようにして、半導体基板の素子形成面側の金属バンプは、スルーホールを介して貫通配線の背面側の接続端子に電氣的に接続される。

【0025】

以上のように、本発明の半導体装置の製造方法では、接続パッドに対応する領域に中央部に開口部を有するリング状などのバンプ用金属膜が位置合わせされて形成され、この開口部の下のシード金属膜、接続パッド及び半導体基板がエッチングされてスルーホールが形成される。

【0026】

つまり、1回のマスク工程を遂行することにより、接続パッド上に、バンプ用金属膜とその開口部に連通するスルーホールとが形成される部分が同時に画定される。従って、スルーホールを形成するためにマスク工程を特別に遂行する必要がなくなり、従来技術に比べてマスク工程が削減される。これに加えて、接続パッドとバンプ用金属膜との位置ずれのみを考慮すればよいので、接続パッド、バンプ用金属膜及びスルーホールの間での位置合わせ精度を向上させることができる。これによって、より微細パターンの接続パッドに対応する金属バンプ及びスルーホールを容易に形成できるようになる。

【0027】

さらには、半導体基板の背面を研削する際に、半導体基板と貫通配線とを同時に研削するのではなく半導体基板のみを研削するようにしたので、一般的な研削装置で何ら不具合が発生することなく半導体基板を研削することができる。従って、従来技術と違って、特別な研削装置を導入する必要がないので、製造コストの上昇を招くことはない。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0029】

（第1の実施の形態）

図1～図4は本発明の第1実施形態の半導体装置の製造方法を順に示す断面図、図5及び図6は本発明の第1実施形態の半導体装置を実装する方法の一例を示

す断面図である。

【0030】

本発明の第1実施形態の半導体装置の製造方法は、図1(a)に示すように、まず、所定の素子や多層配線（不図示）などが形成された厚みが $400\mu\text{m}$ 程度の半導体ウェハ10（半導体基板）を用意する。この半導体ウェハ10の素子形成面にはA1、A1合金又はCuなどからなる接続パッド12が露出して設けられていて、接続パッド12以外の部分はシリコン窒化膜やポリイミド樹脂などからなるパシベーション膜14で被覆されている。

【0031】

その後、図1(b)に示すように、接続パッド12及びパシベーション膜14上に膜厚が例えば $0.5\mu\text{m}$ 程度のシード金属膜16を無電解めっきやスパッタ法により形成する。シード金属膜16としては、金(Au)膜、銅(Cu)膜、ニッケル(Ni)膜、クロム(Cr)膜、チタン(Ti)膜、及びタングステン(W)膜などから選択される金属膜又はそれらの積層膜が使用される。

【0032】

続いて、接続パッド12上の領域うちの中央所定部に島状パターン18xを有し、かつ島状パターン18xを除く周辺部に開口部18aを有するドライフィルムレジスト膜18をフォトリソグラフィによりシード金属膜16上に形成する（図1(b)の平面図を参照）。なお、ドライフィルムレジスト膜18の島状パターン18xは後に接続パッド12などを貫通するスルーホールが形成される部分であるので、接続パッド12に対応する領域内であれば特に限定されず、接続パッド12の周縁側にずれた位置に形成されるようにしてもよい。

【0033】

次いで、図1(c)に示すように、シード金属膜16をめっき給電層に利用した電解めっきにより、ドライフィルムレジスト膜18の開口部18aに膜厚が $10\sim 200\mu\text{m}$ 程度のバンプ用金属膜20を形成する。このとき、バンプ用金属膜20は接続パッド12上の領域のうちのドライフィルムレジスト膜18の島状パターン18xを除く開口部18aにリング状となって形成される。

【0034】

バンプ用金属膜 20 としては、例えば、Au 膜、Cu 膜、下から順に Ni 膜／Au 膜の積層膜、スズ (Sn) - 鉛 (Pb) 系などのはんだ膜、又はスズ (Sn) - 銀 (Ag) 系などの Pb フリーはんだ膜などが使用される。ドライフィルムレジスト膜 18 の開口部 18 a に形成されるバンプ用金属膜 20 は後に半導体チップのバンプとなるものである。

【0035】

なお、電解めっきによりバンプ用金属膜 20 を形成する代わりに、無電解めっきにより、Au 膜や Cu 膜などのバンプ用金属膜 20 を形成するようにしてもよい。

【0036】

その後、図 2 (a) に示すように、バンプ用金属膜 20 をマスクにして、ドライフィルムレジスト膜 18 のうちの島状パターン 18 x をレーザにより選択的にエッチングする。これにより、バンプ用金属膜 20 の開口部 20 a が露出して半導体ウェハ 10 にスルーホールを形成する部分が画定される。

【0037】

次いで、図 2 (b) に示すように、バンプ用金属膜 20 及びドライフィルムレジスト膜 18 をマスクにして、R I E (Reactive Ion Etching) によりバンプ用金属膜 20 の開口部 20 a に露出するシード金属膜 16 をエッチングし、続いて、その下の接続パッド 12 をエッチングする。例えば、シード金属膜 16 として Au 膜が使用される場合はフッ素系のガス (CF₄ など) を用いた R I E が採用され、また接続パッド 12 として Al 膜が使用される場合は塩素系のガス (Cl₂ など) を用いた R I E が採用される。なお、マスクとなるバンプ用金属膜 20 とエッチングされるシード金属膜 16 とは、R I E でのエッチング選択比が高い材料の組み合わせにすることが好ましいが、バンプ用金属膜 20 はシード金属膜 16 に比べて膜厚がかなり厚いため、両者とも Au 膜などの同一材料としても差し支えない。

【0038】

続いて、図 2 (c) に示すように、バンプ用金属膜 20 及びドライフィルムレジスト膜 18 をマスクにして、フッ素系ガス (CF₄ など) を用いた R I E で半

導体ウェハ（シリコンウェハ）10をエッチングすることにより、その背面に到達する深さのスルーホール10aを形成する。

【0039】

このとき、フッ素系ガスを用いたRIEで半導体ウェハ（シリコンウェハ）10をエッチングする際のエッチング選択比（半導体ウェハ10のエッチレート／バンプ用金属膜20のエッチレート）はかなり高いため、バンプ用金属膜20が大きく膜減りすることはない。また、ドライフィルムレジスト膜18も同様に所定膜厚で残存する。なお、RIEの代わりに、レーザにより半導体ウェハ10をエッチングしてスルーホール10aを形成してもよい。

【0040】

このようにして、シード金属膜16の上面から半導体ウェハ10の背面まで貫通し、かつバンプ用金属膜20の開口部20aに繋がるスルーホール10aが形成される。バンプ用金属膜20の開口部20aを含めてスルーホール10aと呼ぶこともある。

【0041】

以上のように、接続パッド12に対応する領域にリング状の開口部18aを有するドライフィルムレジスト膜18を接続パッド12に位置合わせして形成することにより、接続パッド12上にバンプ用金属膜20が形成される部分とスルーホール10aが形成される部分とが同時に画定される。そして、スルーホール10aは、ドライフィルムレジスト膜18の島状パターン18x（バンプ用金属膜20の開口部20aに相当）の下のシード金属膜16、接続パッド12及び半導体ウェハ10がエッチングされてスルーホール10aが形成される。

【0042】

つまり、1回のマスク工程を遂行することにより、接続パッド12上にバンプ用金属膜20とその開口部20aに連通するスルーホール10aとが形成される部分を同時に画定することができる。従って、従来技術に比べてマスク工程を削減できると共に、接続パッド12とバンプ用金属膜20との位置ずれのみを考慮すればよいので、接続パッド12、バンプ用金属膜20及びスルーホール10aの間での位置合わせ精度を向上させることができる。これによって、より微細パ

ターンの接続パッド12に対応するバンプ及びスルーホールを容易に形成できるようになる。

【0043】

次いで、図3(a)に示すように、半導体ウェハ10の背面をグラインダーにより研削することにより、その厚みを150 μ m程度以下（好適には50 μ m程度以下）にする。このとき、半導体ウェハ10の研削部は、例えばシリコンからなり、Cu膜などの半導体ウェハ10と異なった材料は存在しないので、一般的なグラインダーにより何ら不具合が発生することなく研削することができる。従って、従来技術と違って、特別なグラインダーを導入する必要がないため、製造コストの上昇を招くことはない。

【0044】

スルーホール10aの形成方法の変形例としては、スルーホール10a形成する工程において、半導体ウェハ10を貫通しない深さが150 μ m以下程度の孔を形成した後に、半導体ウェハ10の背面を研削して孔を露出させることによりスルーホール10aとしてもよい。この場合、最終的に得られる薄型化された半導体ウェハ10の厚みに対応する深さの孔を形成すればよいので、半導体ウェハ10をエッチングする工程のスループットを向上させることができる。

【0045】

続いて、図3(b)に示すように、薄型化された半導体ウェハ10のバンプ用金属膜20及びドライフィルムレジスト膜18の上に樹脂などからなる保護フィルム22を貼り付ける。このとき、保護フィルム22がバンプ用金属膜20の開口部20aの下部又はスルーホール10a内の接続パッド12の上部まで埋め込まれるようにする。

【0046】

次いで、同じく図3(b)に示すように、半導体ウェハ10のスルーホール10a内及びその背面にシリコン酸化膜などの絶縁膜24をCVDなどにより形成する。

【0047】

その後、図3(c)に示すように、バンプ用金属膜20及びドライフィルムレ

ジスト膜 18 から保護フィルム 22 を剥離する。これにより、バンプ用金属膜 20 の開口部 20 a に埋めこまれた保護フィルム 22 の部分に形成された絶縁膜 24 がリフトオフされ、その結果、スルーホール 10 a の側面に絶縁膜 24 が選択的に残される。この絶縁膜 24 は、半導体ウェハ 10 とそのスルーホール 10 a 内に形成される貫通配線との間を電氣的に絶縁するために設けられる。この工程においても、従来技術と違って、マスク工程を使用しないようにしたので、プロセスが簡易になって製造コストを低減させることができる。

【0048】

なお、スルーホール 10 a の側面に絶縁膜 24 を形成する工程は、半導体ウェハ 10 の背面を研削する前に行うようにしてもよい。

【0049】

次いで、図 3 (d) に示すように、シード金属膜 16 及びそれに接続されたバンプ用金属膜 20 をめっき給電層に利用した電解めっきにより、バンプ用金属膜 20 の開口部 20 a の内面及びスルーホール 10 a の内面に貫通配線 26 を形成する。貫通配線 26 としては Au 膜又は Cu 膜などの金属膜が使用される。

【0050】

この電解めっき工程では、シード金属膜 16 及びバンプ用金属膜 20 をめっき給電層としているため、スルーホール 10 a の側面に露出するシード金属膜 16 及びバンプ用金属膜の上面、その開口部 20 a の側面から成膜が開始され、その後スルーホール 10 a の下側に延びて成膜される。バンプ用金属膜 20 はその上面にもめっきが施されるので、貫通配線 26 の材料はバンプ用金属膜 20 の材料と同一のものを使用することが好ましい。

【0051】

図 3 (d) の例では、スルーホール 10 a の径が $20 \sim 30 \mu\text{m}$ 程度、半導体ウェハ 10 の厚みが $10 \mu\text{m}$ 程度であり、スルーホール 10 a が貫通配線 26 で完全に埋め込まれておらずその中央部に空洞が存在する形態を例示している。この場合、半導体ウェハ 10 の背面側におけるスルーホール 10 a の内周部に露出する貫通配線 16 の部分が背面側の接続端子 26 a となる。

【0052】

さらに続けてめっきを施すことにより、図4（a）に示すように、スルーホール10a内に貫通配線26が完全に埋め込まれるようにしてもよい。この場合は、半導体ウェハ10の背面側におけるスルーホール10aの下部に露出する貫通配線16の先端面が背面側の接続端子26aとなる。

【0053】

このように、本実施形態では、スルーホール10aの全体にわたってその中心部に空洞が形成された形態（図3（d））としてもよいし、スルーホール10aが貫通配線26で完全に埋め込まれた形態（図4（a））としてもよい。あるいは、バンプ用金属膜20の開口部20aが貫通配線26で埋め込まれ、スルーホール10aの中心部に空洞が形成された形態であってもよい。

【0054】

スルーホール10aを貫通配線26で完全に埋め込む場合は、半導体ウェハ10の厚みに対してスルーホール10aの径を小さくすることが好ましい。逆に、スルーホール10aを貫通配線26で埋め込まない場合は、半導体ウェハ10の厚みに対してスルーホール10aの径を大きくすることが好ましい。このように、スルーホール10aの径や半導体ウェハ10の厚みは、貫通配線26の最終形状に合わせて適宜調整される。

【0055】

続いて、図4（b）に示すように、ドライフィルムレジスト膜18を除去した後、バンプ用金属膜20をマスクにしてシード金属膜16をエッチングすることにより、バンプ用金属膜20と貫通配線26の上部とにより構成される金属バンプ20xが得られる。

【0056】

このようにして、半導体ウェハ10の素子形成面側の金属バンプ20xはスルーホール10aを介してその背面側の接続端子26aに電氣的に接続される。

【0057】

その後、図4（c）に示すように、半導体ウェハ10をダイシングすることにより個片化された個々の半導体チップ1（半導体装置）を得る。

【0058】

以上のように、本実施形態の半導体装置の製造方法では、半導体ウェハ10の接続パッド12上にマスク工程を一回遂行することにより、金属バンプ20xとスルーホール10aとが形成される部分が接続パッド12上に同時に画定される。このため、従来技術に比べてマスク工程を削減することができると共に、位置合わせ精度を向上させることができる。

【0059】

さらに、半導体ウェハ10の背面を研削する際に、半導体ウェハ10のみを研削するようにしたので、一般的な研削装置により何ら不具合が発生することなく半導体ウェハ10を所定の厚みに薄型化することができる。

【0060】

次に、本実施形態に係る半導体チップ1が実装される実装構造の一例について説明する。なお、本実施形態では、半導体チップ1としてスルーホール10a内に貫通配線26が完全に埋め込まれたものを使用する。まず、図5(a)に示すように、半導体チップ1が実装される配線基板40を用意する。この配線基板40では、樹脂などから構成されるベース基板30にスルーホール30aが設けられている。そして、スルーホール30aの内面にベース基板30上の第1配線パターン32に繋がるスルーホールめっき層30bが形成され、その孔は樹脂体30cで埋め込まれている。

【0061】

また、第1配線パターン32上にはビアホール34xを有するポリイミドやエポキシなどの樹脂からなる第1層間絶縁膜34が形成されている。さらに、第1層間絶縁膜34上にはビアホール34xを介して第1配線パターン32に接続された第2配線パターン32aが形成されている。

【0062】

続いて、図5(b)に示すように、このような配線基板40の第2配線パターン32aに前述した半導体チップ1の金属バンプ20xをフリップチップ接続する。その後に、半導体チップ1と第2配線パターン32a及び第1層間絶縁膜34との隙間にアンダーフィル樹脂17を充填する。

【0063】

次いで、半導体チップ1を被覆する樹脂からなる第2層間絶縁膜34aを形成する。続いて、貫通配線26の接続端子26a上の第2層間絶縁膜34aの所定部をレーザなどによりエッチングして貫通配線26の接続端子26aの上面に到達する深さのビアホール34yを形成する。

【0064】

続いて、図5(c)に示すように、セミアディティブ法などの一般的な配線形成方法により、ビアホール34yを介して貫通配線26の接続端子26aに接続される第3配線パターン32bを形成する。

【0065】

なお、その後に、前述した半導体チップ1の金属バンプ20xを第2配線パターン32aにフリップチップ接続する工程から、第3配線パターン32bを形成する工程まで所定回数繰り返してもよい。この場合、複数の半導体チップ1がそれぞれ層間絶縁膜に埋設されて3次元的に実装され、かつ複数の半導体チップ1が半導体チップ1のスルーホール10a及び層間絶縁膜に形成されたビアホールとを介して相互接続される。

【0066】

次いで、図6に示すように、第3配線パターン32bの接続部に開口部を有するソルダレジスト膜36を形成した後、第3配線パターン32bの接続部に無電解めっきによりNi/Au膜38を形成する。

【0067】

続いて、バンプ13を備えた上側半導体チップ1xのバンプ13を第3配線パターン32b上のNi/Au膜38にフリップチップ接続する。以上により、本実施形態の半導体チップ1が実装された実装構造2が得られる。

【0068】

なお、上記した実装構造の他に、層間絶縁膜に埋設されずに半導体チップ1の背面の接続端子26aに他の半導体チップの金属バンプが直接接合された構造などのさまざまな実装構造とすることができる。

【0069】

また、半導体チップ1の金属バンプ20xの形状は前述した各種形状のうちの

いずれを使用してもよい。例えば、半導体チップ1の金属バンプ20xがAu膜からなり、かつ中央部に空洞を有する場合（図3（d）の形状）、配線基板などのAu電極に超音波によりAu-Au接合する際に、金属バンプ20xの外周部及び内周部から同時に接合されるようになるため容易に接合できるという利点がある。

【0070】

（第2の実施の形態）

図7及び図8は本発明の第2実施形態の半導体装置の製造方法を示す断面図である。第2実施形態が第1実施形態と異なる点は、半導体ウェハ10にスルーホール10aを形成する際に半導体ウェハ10を貫通しない孔を形成しておき、この孔内に貫通配線を埋め込んだ後に、半導体ウェハ10の背面を研削して貫通配線の接続端子を露出させることにある。

【0071】

第2実施形態においては、第1実施形態と同様な工程についてはその詳しい説明を省略し、また第1実施形態と同一要素については同一符号を付してその説明を省略する。

【0072】

第2実施形態の半導体装置の製造方法は、まず、図7（a）に示すように、第1実施形態と同様な方法により、図2（b）と同一の構造のものを用意する。その後、図7（b）に示すように、バンプ用金属膜20及びドライフィルムレジスト膜18をマスクに利用して、半導体ウェハ10の厚みの途中までエッチングすることにより、深さが150 μ m程度以下（好適には50 μ m程度以下）の孔10xを形成する。

【0073】

次いで、バンプ用金属膜20の開口部20a及び孔10x内を被覆するシリコン酸化膜などの絶縁膜24を図7（b）の構造体の上にCVDなどにより形成する。続いて、絶縁膜24上にポジレジストの塗布液を塗布することにより、バンプ用金属膜20の開口部20a及び孔10x内を充填するレジスト塗布膜23xを形成する。

【0074】

その後、このレジスト塗布膜 23 x の全面を所定の露光条件で露光した後に現像する。このとき、孔 10 x に充填されたレジスト塗布膜 23 x の所定部分は露光されないため、孔 10 x 内の接続パッド 12 を含む下側部分にレジスト膜 23 が選択的に残される。

【0075】

次いで、このレジスト膜 23 をマスクにして、等方性ドライエッチング又はウェットエッチングにより絶縁膜 24 をエッチングした後に、レジスト膜 23 を除去する。

【0076】

これにより、図 8 (a) に示すように、半導体ウェハ 10 の孔 10 x 内に選択的に絶縁膜 24 が残される。この絶縁膜 24 は第 1 実施形態と同様に半導体ウェハ 10 と孔 10 x 内に形成される貫通配線との間を絶縁するために設けられる。

【0077】

次いで、図 8 (b) に示すように、第 1 実施形態と同様な方法による電解めっきにより、バンプ用金属膜 20 の開口部 20 a 及び孔 10 x 内に貫通配線 26 を形成する。なお、貫通配線 26 は第 1 実施形態で説明したような各種の形状としてもよい。

【0078】

次いで、図 8 (c) に示すように、半導体ウェハ 10 の背面を研削して貫通配線 26 の下側先端面を露出させることにより背面側の接続端子 26 a とする。このようにして、半導体ウェハ 10 に形成された孔 10 x は半導体ウェハ 10 の素子形成面側と背面側とを接続するためのスルーホール 10 a となる。

【0079】

続いて、第 1 実施形態と同様な方法により、ドライフィルムレジスト膜 18 を除去した後に、バンプ用金属膜 20 をマスクにしてシード金属膜 16 をエッチングすることにより金属バンプ 20 x を得る。接続パッド 12 に接続された金属バンプ 20 x はスルーホール 10 a を介して背面側の接続端子 26 a に電氣的に接続される。なお、半導体ウェハ 10 の背面を研削する前に、ドライフィルムレジ

スト膜 18 の除去とシード金属膜 16 のエッチングを行なってもよい。

その後に、半導体ウェハ 10 をダイシングすることにより個片化された個々の半導体チップ 1a（半導体装置）が得られる。

【0080】

第 2 実施形態の半導体装置の製造方法においても、第 1 実施形態と同様な効果を奏する。

【0081】

【発明の効果】

以上説明したように、本発明では、半導体基板の接続パッドに対応するシード金属膜の領域上に、中央部に開口部を有するリング状などのバンプ用金属膜が位置合わせされて形成される。そして、この開口部の下のシード金属膜、接続パッド及び半導体ウェハがエッチングされてスルーホールが形成される。

【0082】

このようにすることにより、1 回のマスク工程で接続パッド上にバンプ用金属膜とその開口部に連通するスルーホールとを形成する部分を同時に画定することができる。従って、マスク工程を削減することができると共に、位置合わせ精度を向上させることができる。

【0083】

さらに、半導体基板の背面を研削する際に、半導体基板のみを研削するようにしたので、一般的な研削装置で何ら不具合が発生することなく半導体基板を研削できようになり、製造コストの上昇を招く恐れがなくなる。

【図面の簡単な説明】

【図 1】

図 1 は本発明の第 1 実施形態の半導体装置の製造方法を示す断面図（その 1）である。なお、図 1（b）の平面図（下側）は断面図（上側）の A 部を平面からみたものである。

【図 2】

図 2 は本発明の第 1 実施形態の半導体装置の製造方法を示す断面図（その 2）である。

【図 3】

図 3 は本発明の第 1 実施形態の半導体装置の製造方法を示す断面図（その 3）である。

【図 4】

図 4 は本発明の第 1 実施形態の半導体装置の製造方法を示す断面図（その 4）である。

【図 5】

図 5 は本発明の第 1 実施形態の半導体装置を実装する方法の一例を示す断面図（その 1）である。

【図 6】

図 6 は本発明の第 1 実施形態の半導体装置を実装する方法の一例を示す断面図（その 2）である。

【図 7】

図 7 は本発明の第 2 実施形態の半導体装置の製造方法を示す断面図（その 1）である。

【図 8】

図 8 は本発明の第 2 実施形態の半導体装置の製造方法を示す断面図（その 2）である。

【図 9】

図 9 は従来技術に係る半導体チップに貫通配線を形成する方法の一例を示す断面図（その 1）である。

【図 10】

図 10 は従来技術に係る半導体チップに貫通配線を形成する方法の一例を示す断面図（その 2）である。

【符号の説明】

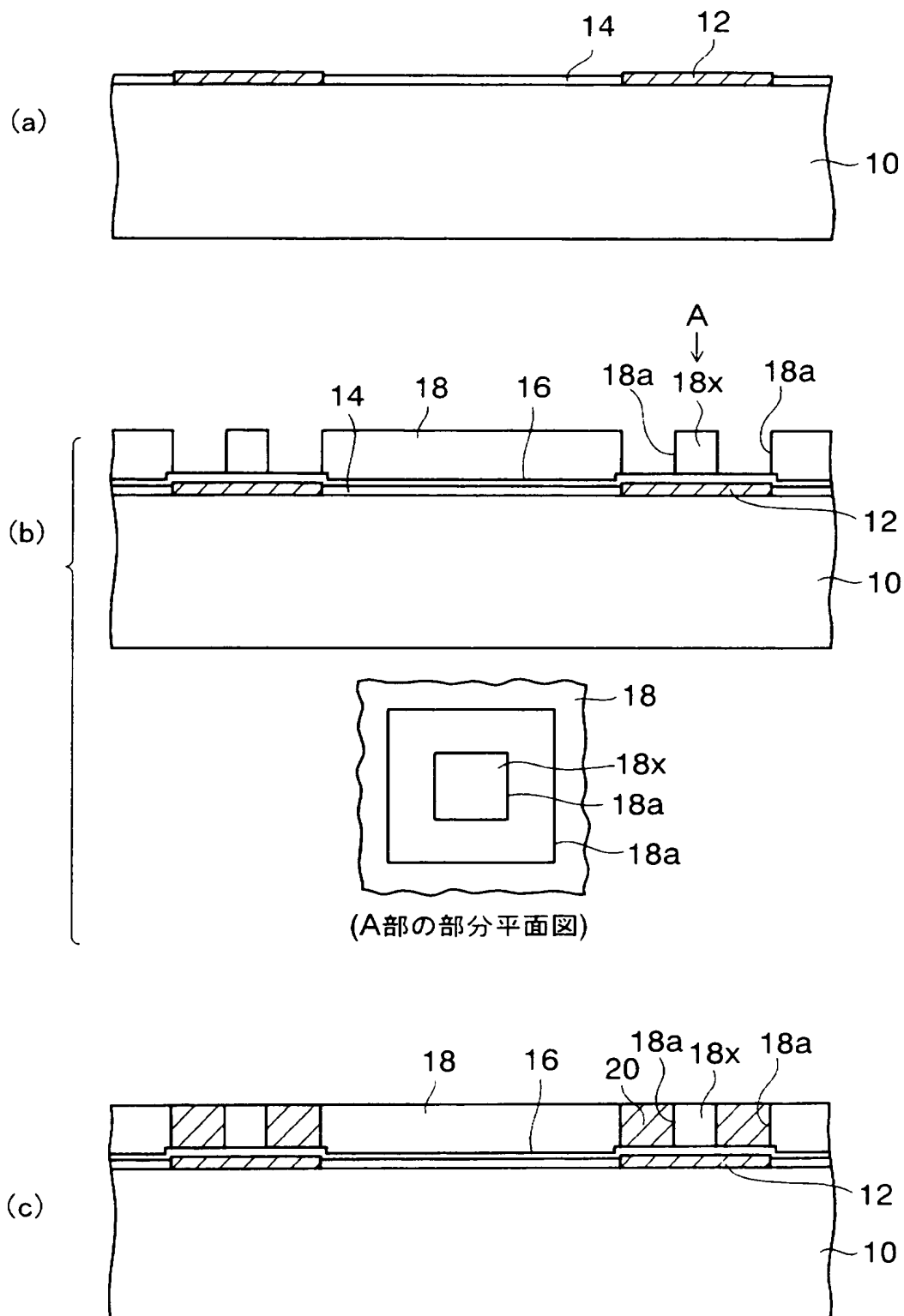
1, 1a…半導体チップ（半導体装置）、1x…上側半導体チップ、2…実装構造、10…半導体ウェハ、10a, 30a…スルーホール、10x…孔、12…接続パッド、14…パシベーション膜、16…シード金属膜、17…アンダーフィル樹脂、18…ドライフィルムレジスト膜、18a, 20a…開口部、18x

…島状パターン、2 0…バンプ用金属膜、2 3 x…レジスト塗布膜、2 3…レジスト膜、2 4…絶縁膜、2 6…貫通配線、2 6 a…接続端子、3 0…ベース基板、3 0 a…スルーホール、3 0 b…スルーホールめっき層、3 0 c…樹脂体、3 2…第 1 配線パターン、3 2 a…第 2 配線パターン、3 2 b…第 3 配線パターン、3 4…第 1 層間絶縁膜、3 4 a…第 2 層間絶縁膜、3 4 x…第 1 ビアホール、3 4 y…第 2 ビアホール、3 8…N i / A u 膜、4 0…配線基板。

【書類名】 図面

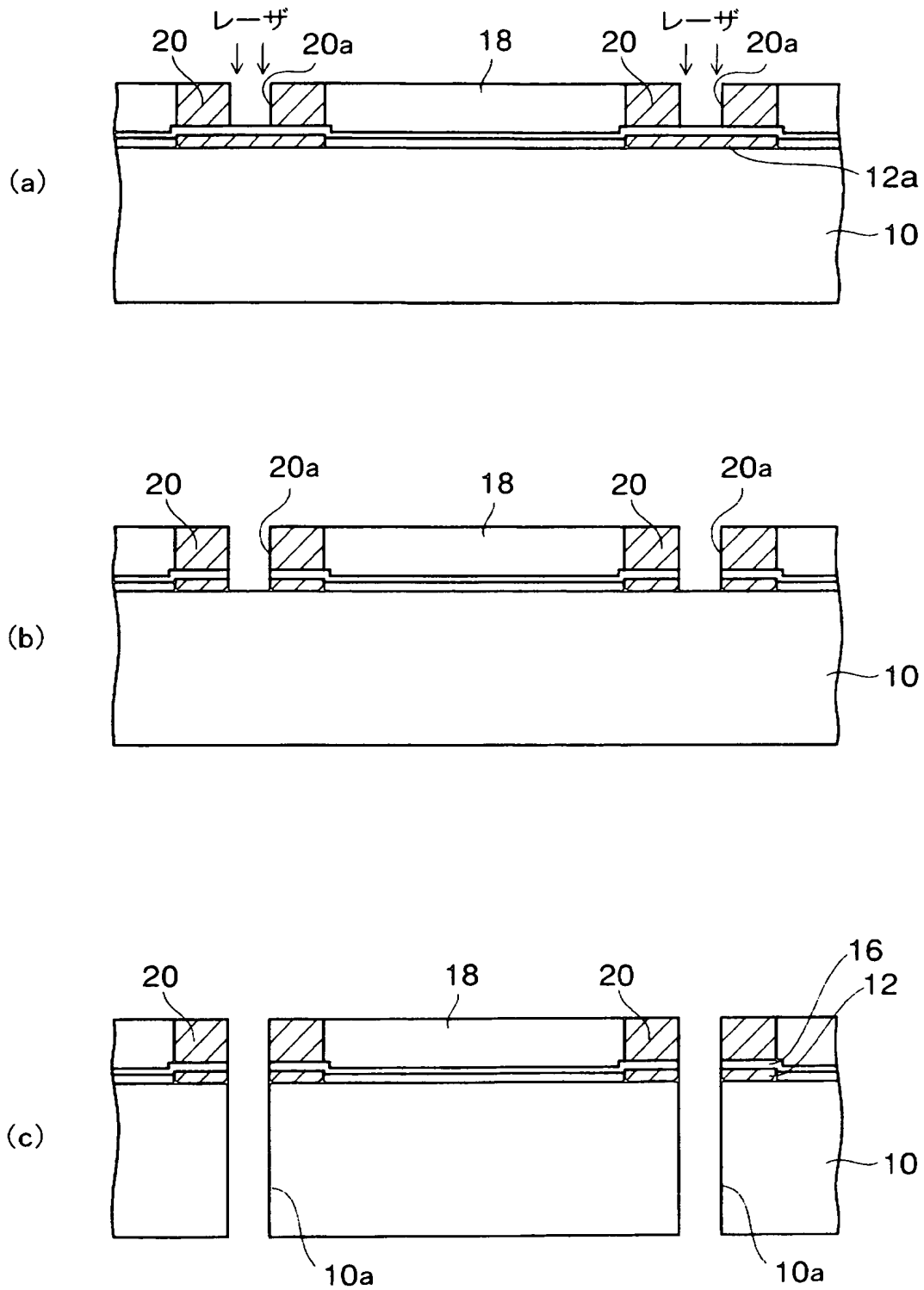
【図 1】

本発明の第1実施形態の半導体装置の製造方法を示す断面図(その1)



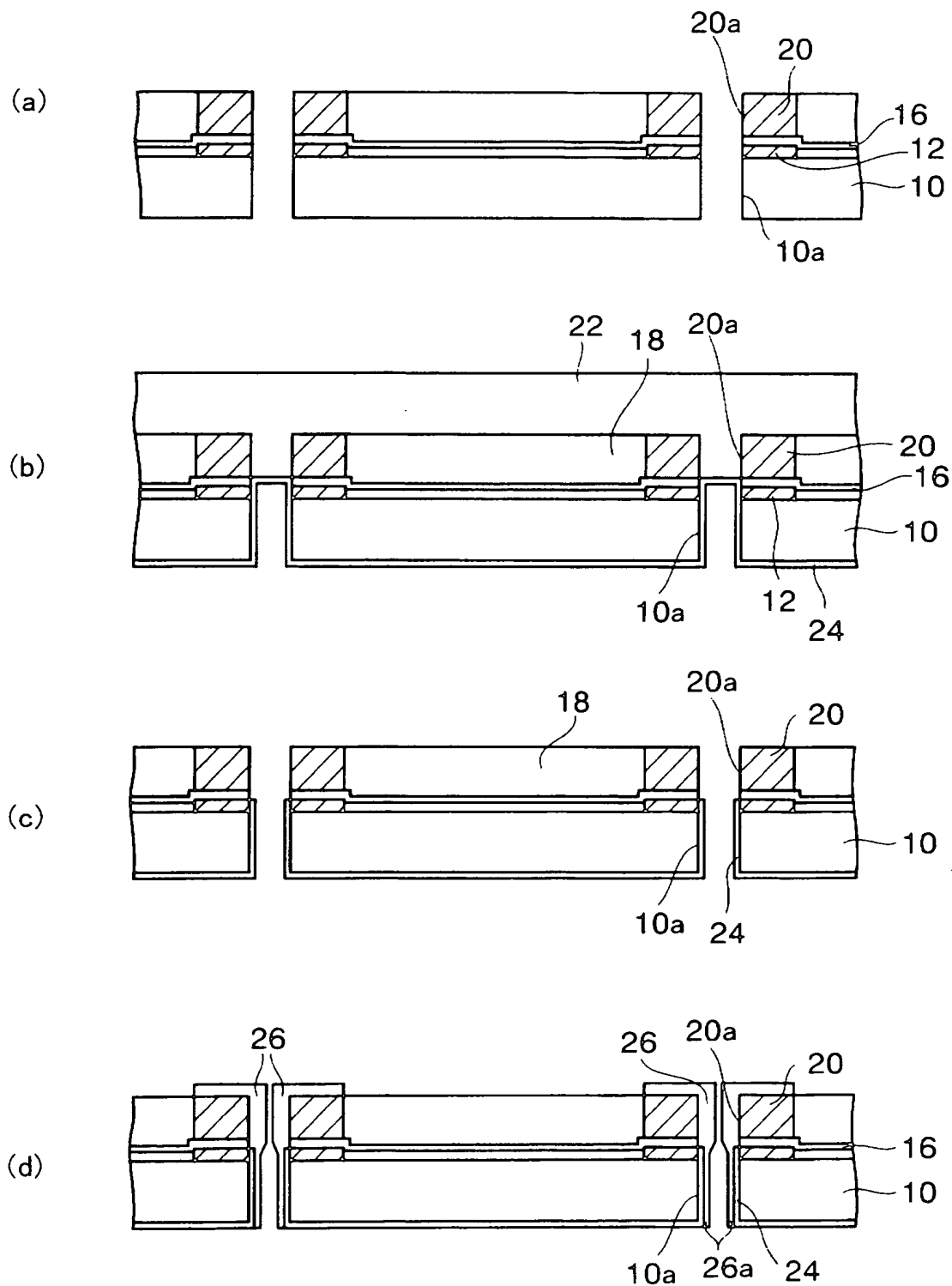
【図 2】

本発明の第1実施形態の半導体装置の製造方法を示す断面図(その2)



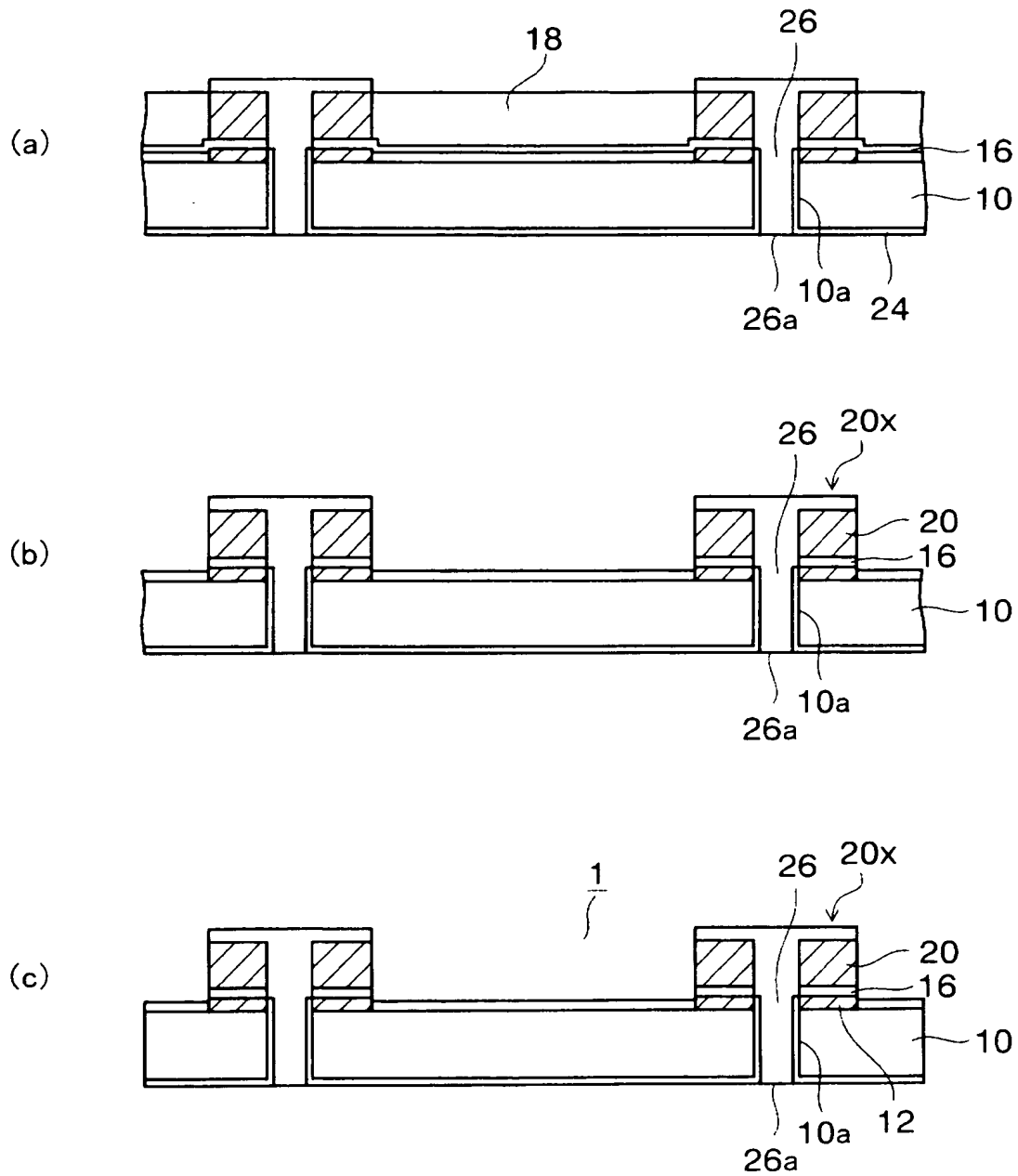
【図 3】

本発明の第1実施形態の半導体装置の製造方法を示す断面図(その3)



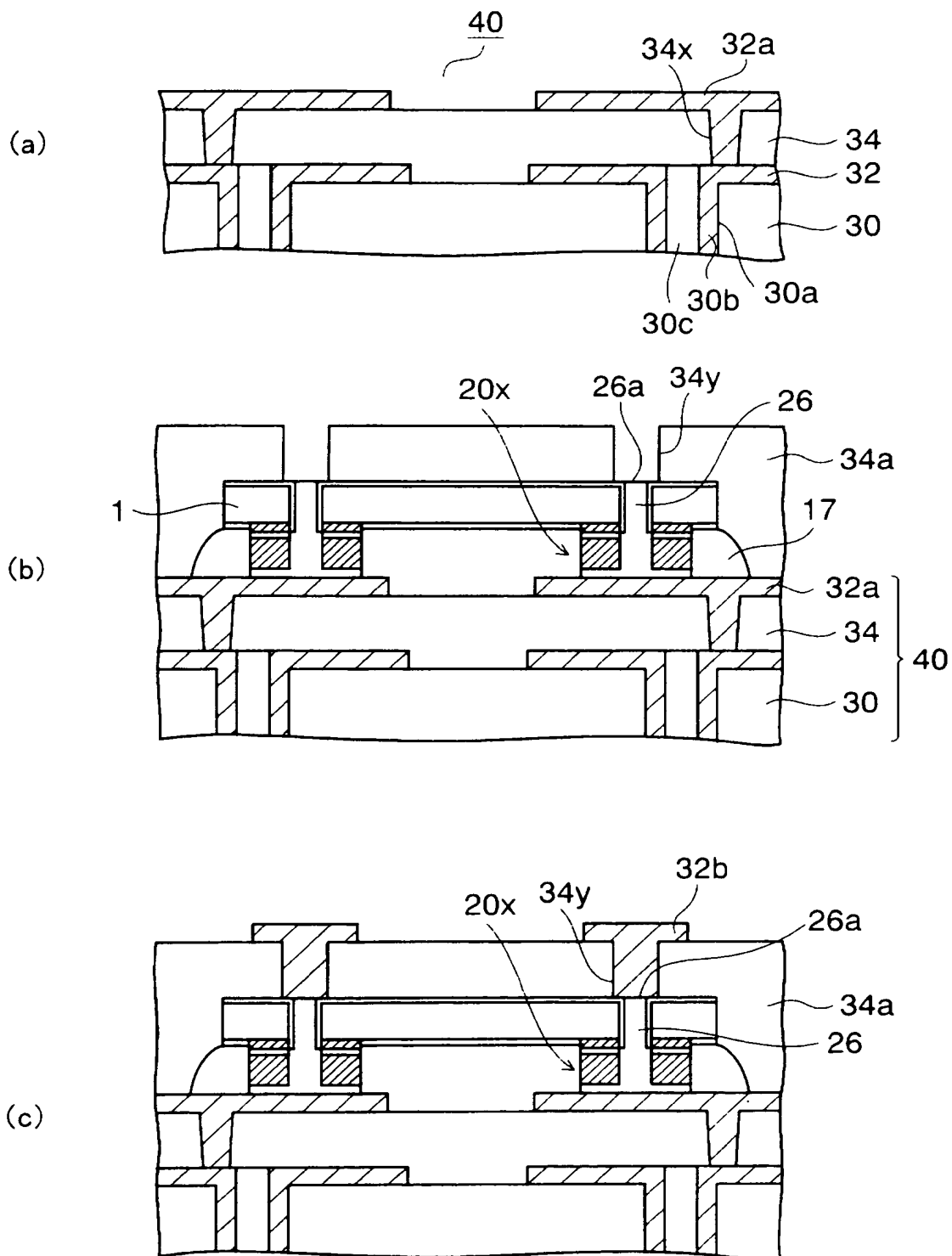
【図 4】

本発明の第1実施形態の半導体装置の製造方法を示す断面図(その4)



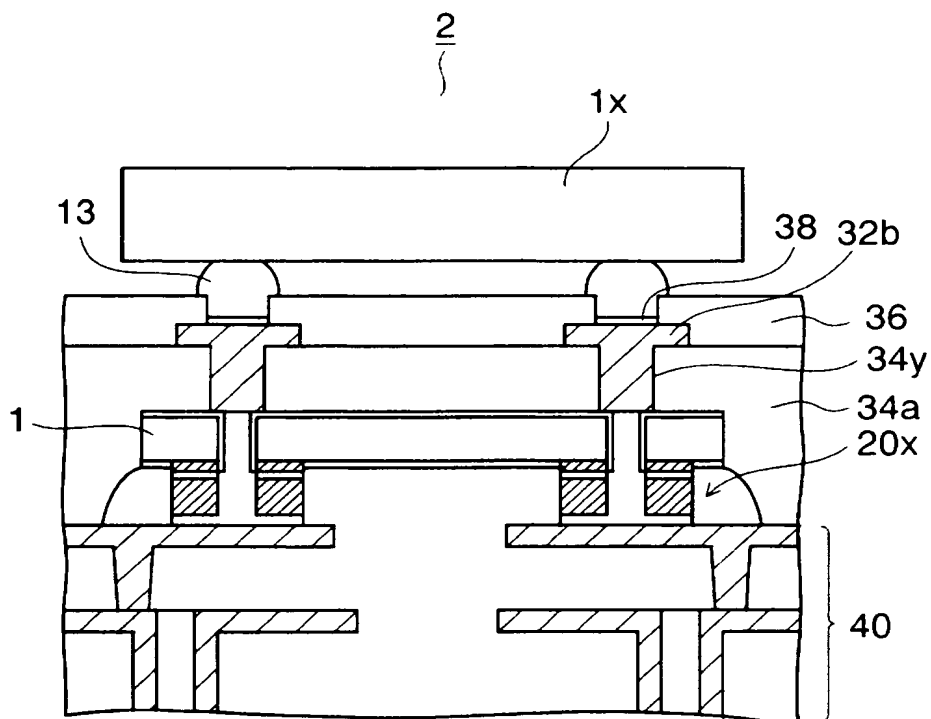
【図 5】

本発明の第1実施形態の半導体装置を実装する方法の一例を示す断面図(その1)



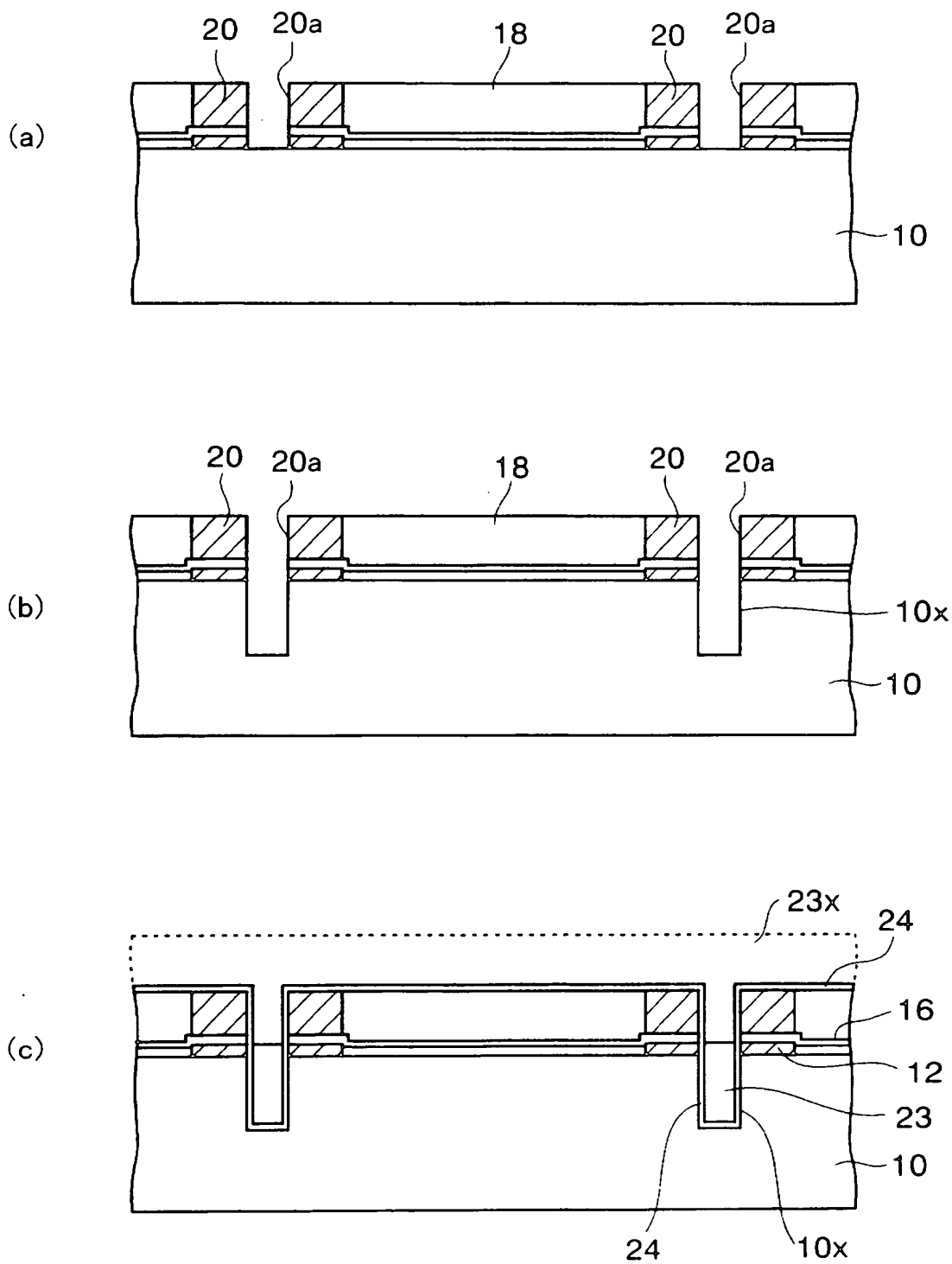
【図 6】

本発明の第1実施形態の半導体装置を実装する方法の
一例を示す断面図(その2)



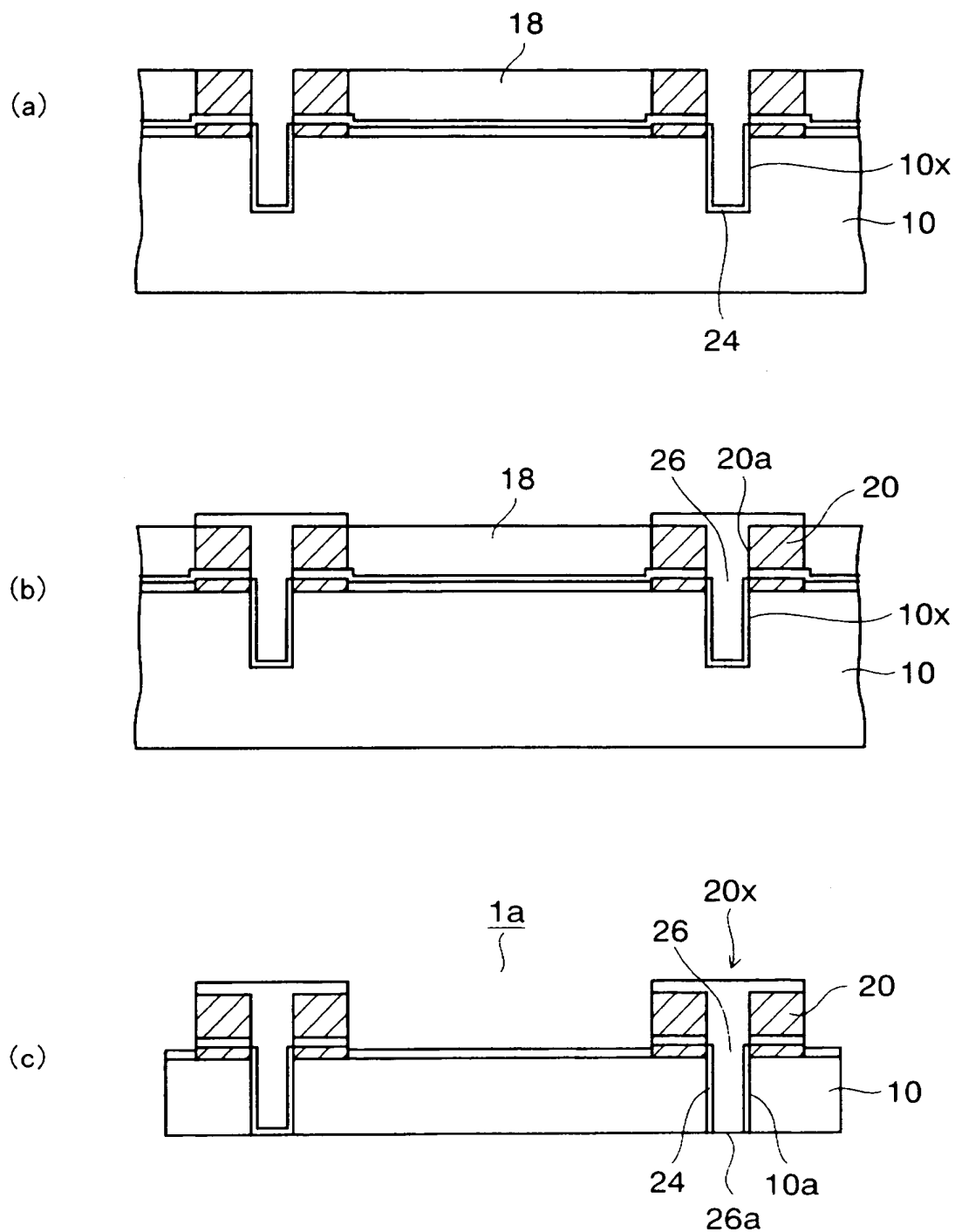
【図 7】

本発明の第2実施形態の半導体装置の製造方法を示す断面図(その1)



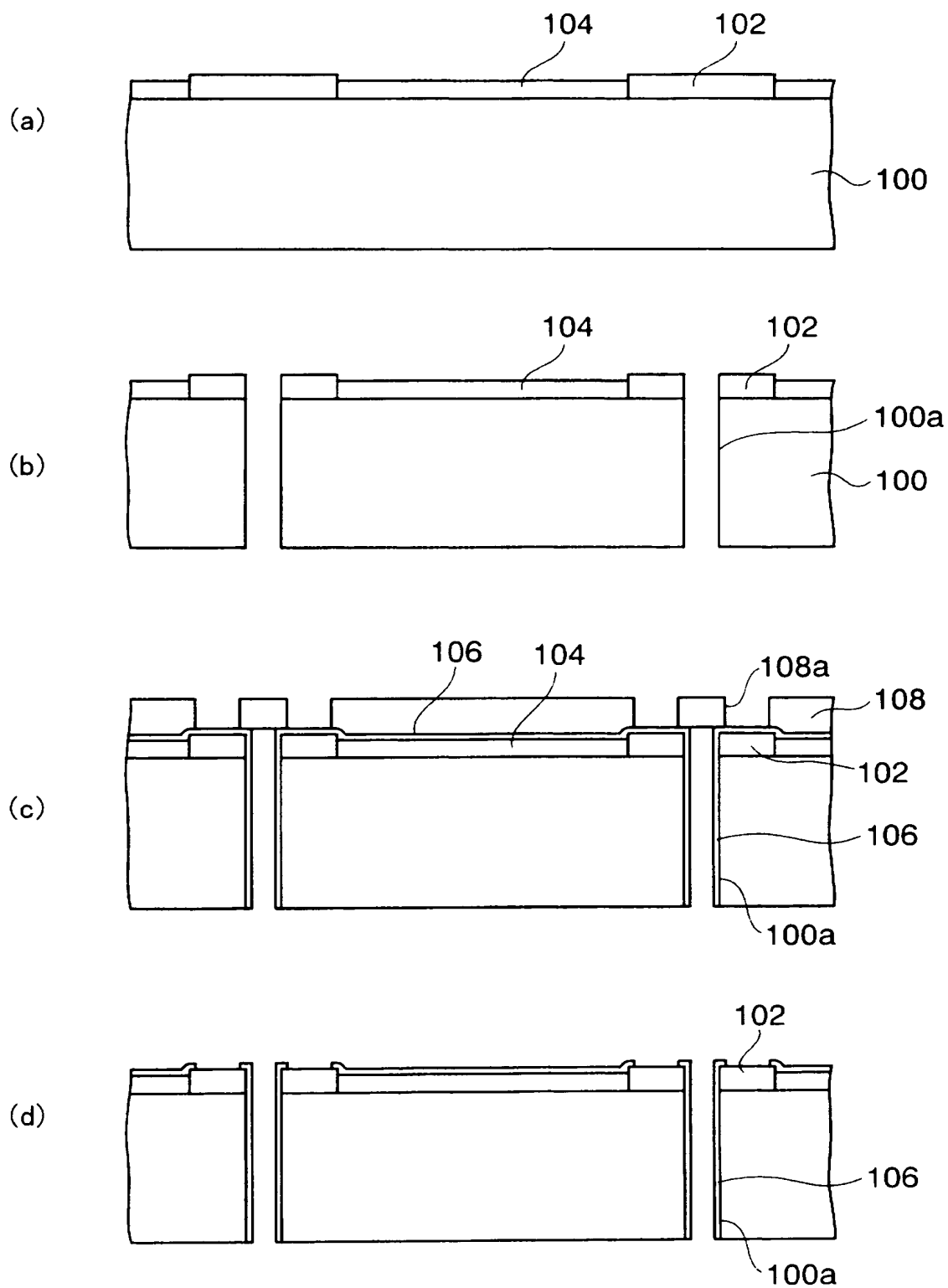
【図 8】

本発明の第2実施形態の半導体装置の製造方法を示す断面図(その2)



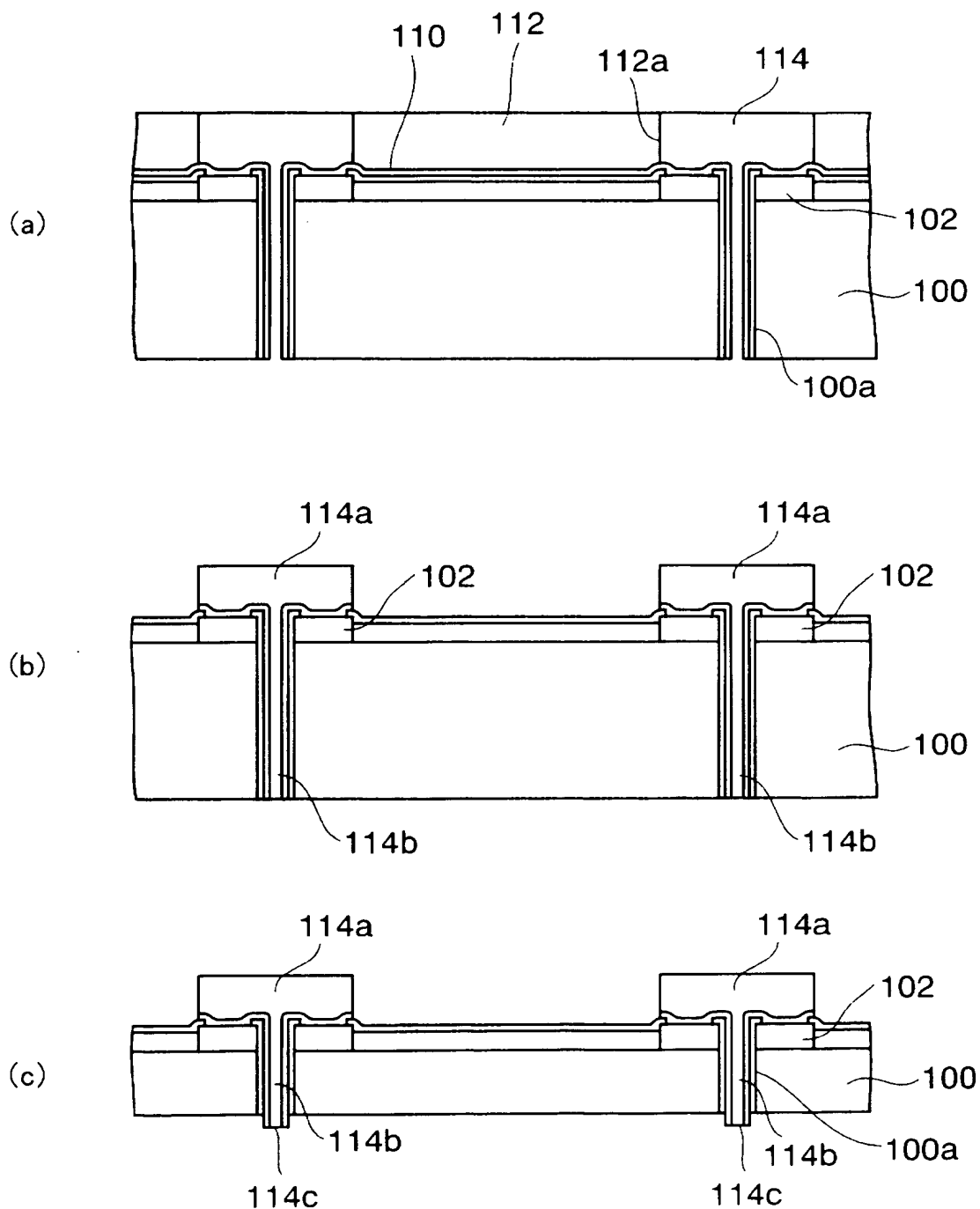
【図 9】

従来技術に係る半導体装置の製造方法を示す断面図(その1)



【図10】

従来技術に係る半導体装置の製造方法を示す断面図(その2)



【書類名】 要約書

【要約】

【課題】 素子形成面側の接続端子と背面側の接続端子とがスルーホールを介して接続された構造を有する薄型の半導体装置を何ら不具合が発生することなく製造すること。

【解決手段】 半導体基板 10 の接続パッド 12 に対応するシード金属膜 16 の領域上に、開口部 20 a を有するパターン状のバンプ用金属膜 20 を形成する工程と、バンプ用金属膜 20 をマスクにして、バンプ用金属膜 20 の開口部 20 a の下のシード金属膜 16、接続パッド 12 及び半導体基板 10 をエッチングすることによりスルーホール 10 a を形成する工程と、半導体基板 10 の背面を研削する工程と、スルーホール 10 a の側面に絶縁膜 24 を形成する工程と、電解めっきによりスルーホール 10 a 内に貫通配線 26 を形成する工程と、シード金属膜 16 をエッチングして金属バンプを形成する工程とを含む。

【選択図】 図 3

特願 2 0 0 3 - 0 0 7 4 6 1

出 願 人 履 歷 情 報

識別番号 [0 0 0 1 9 0 6 8 8]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 長野県長野市大字栗田字舍利田 7 1 1 番地
氏 名 新光電気工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日
[変更理由] 住所変更
住 所 長野県長野市小島田町 8 0 番地
氏 名 新光電気工業株式会社